



## Fiche signalétique

### DONNÉES PERSONNELLES



<b>Nom</b>	Messerli
<b>Prénom</b>	Etienne
<b>Etablissement</b>	HEIG-VD
<b>Téléphone</b>	+41 24 55 76 302
<b>E-mail</b>	etienne.messerli@heig-vd.ch
<b>Web-page</b>	<a href="http://www.reds.ch">http://www.reds.ch</a>
<b>Groupe thématique</b>	Systèmes embarqués à haute performance
<b>Affilié - Institut</b>	Institut REDS, Reconfigurable & embedded Digital Systems
<b>Fonction</b>	Professeur HES

### COMPÉTENCES SPÉCIFIQUES

- ▶ Conception et vérification de systèmes digitaux complexes
- ▶ Liaisons séries à très haut débit (GigaBits/s)
- ▶ Développement conjoint HW/SW (Co-design)

### DOMAINES DE RECHERCHE

- ▶ Traitement de données à très haut débit, plusieurs GigaBits/s (A2-P1; A2-P3)
- ▶ Nouvelles méthodologies de vérification pour systèmes numériques complexes (A2-P3)
- ▶ Conception d'architectures optimisées pour le Co-Design (A2-P1; A2-P3)

### TRAVAUX EXEMPLAIRES

- ▶ *CABCO* – Conception d'une architecture optimisée pour le Co-Design permettant de traiter efficacement des données larges (128 bits). La carte comporte un ARM9 avec LINUX et une FPGA Xilinx Virtex II. Utilisation pour divers applications dont le traitement d'image d'un IRM (projet ROMEO)
- ▶ *STROC* -Rechercher de solutions performantes pour le traitement complexe de données appliqué à des algorithmes de cryptage (DES, AES, SHA et MD5).
- ▶ *Core PCI* – Réalisation du banc de test pour le bus PCI, projet ezPCI. Puis évolution du core ezPCI vers la version 3.0 et réalisation des drivers Linux.
- ▶ *VHDL avancé* – Cours de post-formation avancé sur les nouvelles méthodologies et le langage VHDL (*design re-use, verification*). Formations d'industriels (Bobst, EM Micro-electronic-Marin, Charmilles Technologies, ...) et pour l'université INSA de Rennes.
- ▶ *SytemVerilog* – Formation et mise en œuvre de nouvelles méthodologies de vérification appliquées dans le cadre du projet Math2Mat (en cours).